

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10144703 A**

(43) Date of publication of application: **29.05.98**

(51) Int. Cl

**H01L 21/52**

**H01L 23/50**

(21) Application number: **08296747**

(71) Applicant: **SAMSUNG ELECTRON CO LTD**

(22) Date of filing: **08.11.96**

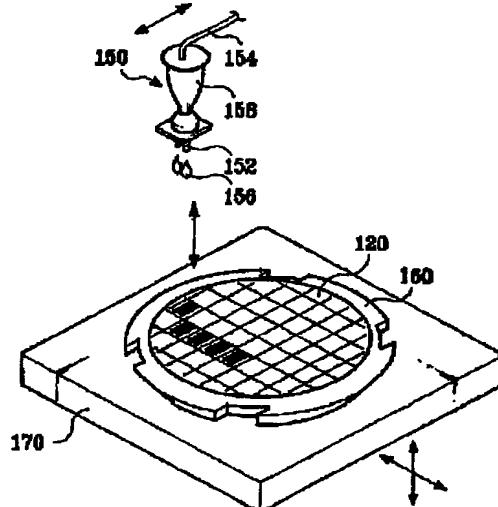
(72) Inventor: **SO EISAI  
JO TEIYU  
KIN KYOSYO**

**(54) LOC-TYPE SEMICONDUCTOR CHIP PACKAGE  
AND MANUFACTURE THEREOF**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the manufacturing cost by spreading in a wafer state a bonding agent, for bonding lead frame leads and semiconductor chips, over a lead bonding region on the semiconductor chip active surface without using a polyimide adhesive tape.

**SOLUTION:** In a bonding agent-applying process according to a dispensing method, firstly a wafer 120 is mounted on a x-y table 170 movable in the x and y axial directions. The x-y table 170 is moved to align a dispensing head 150 with the upper side of the wafer. When accurate alignment has been achieved, the dispensing head 150 is moved down to apply the bonding agent on a lead bonding region on the active chip surface with a needle 152. On the other hand, if the bonding agent is applied after a groove-shaped lead-bonding region is formed in the active chip surface onto which the bonding agent is to be dispensed, the overflow of the bonding agent can be prevented.



COPYRIGHT: (C)1998,JPO

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-144703

(43) Date of publication of application : 29.05.1998 [REDACTED]

(51) Int.CI. H01L 21/52  
H01L 23/50

(21) Application number : 08-296747 (71) Applicant : SAMSUNG ELECTRON CO LTD

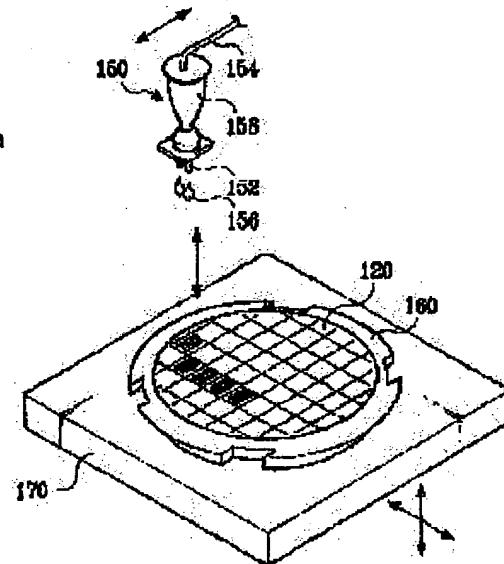
(22) Date of filing : 08.11.1996 (72) Inventor : SO EISAI  
JO TEIYU  
KIN KYOSYO

## (54) LOC-TYPE SEMICONDUCTOR CHIP PACKAGE AND MANUFACTURE THEREOF

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the manufacturing cost by spreading in a wafer state a bonding agent, for bonding lead frame leads and semiconductor chips, over a lead bonding region on the semiconductor chip active surface without using a polyimide adhesive tape.

**SOLUTION:** In a bonding agent-applying process according to a dispensing method, firstly a wafer 120 is mounted on a x-y table 170 movable in the x and y axial directions. The x-y table 170 is moved to align a dispensing head 150 with the upper side of the wafer. When accurate alignment has been achieved, the dispensing head 150 is moved down to apply the bonding agent on a lead bonding region on the active chip surface with a needle 152. On the other hand, if the bonding agent is applied after a groove-shaped lead-bonding region is formed in the active chip surface onto which the bonding agent is to be dispensed, the overflow of the bonding agent can be prevented.



### LEGAL STATUS

[Date of request for examination] 08.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2925074

[Date of registration] 07.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

\* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

### [Claim(s)]

[Claim 1] The phase of preparing the wafer which has the top in which two or more semiconductor chips which have the activity side where two or more electrode pads were arranged in the center are prepared, The phase which applies a protection layer to the top of the aforementioned wafer, and the phase which applies non-conducting adhesives to the lead adhesion field located in the both sides of the electrode pad arranged in the center of the above, The phase of dividing the aforementioned wafer into an individual semiconductor chip, and the semiconductor chip by which the separation was carried out [ aforementioned ] are supported. And the internal lead fraction in the leadframe which has two or more leads for connecting electrically the chip by which the separation was carried out [ aforementioned ] to an external circuit The die bonding phase attached in the lead adhesion field of the activity side of a semiconductor chip using the aforementioned non-conducting adhesives, The manufacture technique of LOC type semiconductor chip package equipped with the phase which connects electrically an internal lead of the aforementioned leadframe, and the electrode pad of a semiconductor chip, and the phase which forms the package fuselage which protects the aforementioned semiconductor chip.

[Claim 2] The manufacture technique of LOC type semiconductor chip package according to claim 1 possessing the phase where the phase which applies the aforementioned protection layer removes the protection layer of a predetermined position, and makes the aforementioned electrode pad and the aforementioned lead adhesion field expose and open wide.

[Claim 3] The phase where the phase which applies the aforementioned protection layer carries out spin coating of the liquefied polyimide on the top of a wafer, The phase which prepares the photo mask which has the pattern of the aforementioned electrode pad, and the pattern of the aforementioned lead adhesion field, The manufacture technique of LOC type semiconductor chip package according to claim 1 possessing the phase which applies a film on the aforementioned polyimide coating layer, the phase of using the aforementioned photo mask, and exposing and developing a film, and the phase of etching and making an electrode pad and a lead adhesion field opening wide.

[Claim 4] The manufacture technique of LOC type semiconductor chip package according to claim 1 that the phase which connects electrically an internal lead of the aforementioned leadframe and the electrode pad of a semiconductor chip is performed by wirebonding.

[Claim 5] The manufacture technique of LOC type semiconductor chip package according to claim 1 which is the adhesives with which the aforementioned non-conducting adhesives were chosen out of the group which consists of a polyimide, epoxy, a polyimide siloxane, and a polyether amide.

[Claim 6] The phase where the phase which applies the aforementioned non-conducting adhesives prepares for the position corresponding to the aforementioned lead adhesion field the metal screen which has an open section pattern, The phase of carrying out alignment of the aforementioned screen to the aforementioned wafer, and sticking the screen on the top of a wafer, The phase which is made to pass liquefied adhesives through the open section pattern of the aforementioned metal screen, and applies liquefied adhesives to a lead

adhesion field, The manufacture technique of LOC type semiconductor chip package according to claim 1 or 2 possessing the phase of separating the aforementioned screen from a wafer, and the phase of stiffening the liquefied adhesives applied to the aforementioned lead adhesion field.

[Claim 7] The phase where the phase which applies the aforementioned non-conducting adhesives equips with the aforementioned wafer xy table which can move to x and y shaft orientations, The phase which carries out alignment of the dace \*\*\*\*\* head equipped with the needle which carries out dace \*\*\*\*\* of the liquefied non-conducting adhesives of a constant rate to the wafer bottom, The manufacture technique of LOC type semiconductor chip package according to claim 1 which possesses the phase which carries out dace \*\*\*\*\* of the aforementioned non-conducting adhesives, and the phase of stiffening the adhesives by which dace \*\*\*\*\* was carried out [ aforementioned ], to the lead adhesion field of the activity side of a semiconductor chip.

[Claim 8] The manufacture technique of LOC type semiconductor chip package according to claim 7 that the aforementioned protection layer is removed alternatively and the aforementioned lead adhesion field was made to have the shape of a quirk according to a photo etching process.

[Claim 9] The manufacture technique of LOC type semiconductor chip package according to claim 7 that dace \*\*\*\*\* of the aforementioned liquefied non-conducting adhesives is performed one by one to two or more aforementioned semiconductor chips.

[Claim 10] The manufacture technique of LOC type semiconductor chip package according to claim 7 that dace \*\*\*\*\* of the aforementioned liquefied non-conducting adhesives is performed at a stretch to the semiconductor chip in the same line (the same train or the same line) in the aforementioned wafer.

[Claim 11] The manufacture technique of LOC type semiconductor chip package according to claim 7 that the aforementioned dace \*\*\*\*\* head has two or more needles, and dace \*\*\*\*\* is performed at a stretch to two or more semiconductor chips.

[Claim 12] The manufacture technique of LOC type semiconductor chip package according to claim 7 which is the adhesives with which the aforementioned non-conducting adhesives were chosen out of the group which consists of a polyimide, epoxy, a polyimide siloxane, and a polyether amide.

[Claim 13] The phase of equipping with masking tape at the rear face of the aforementioned wafer before the phase which applies the aforementioned non-conducting adhesives, It has the phase which carries out scribing of the tape insertion wafer along with the scribe line defined between the semiconductor chips which adjoin on a wafer. The phase where the phase which applies the aforementioned non-conducting adhesives equips with the aforementioned wafer xy table which can move to x and y shaft orientations, The phase which carries out alignment of the dace \*\*\*\*\* head equipped with the needle which carries out dace \*\*\*\*\* of the liquefied non-conducting adhesives of a constant rate to the wafer bottom, The manufacture technique of LOC type semiconductor chip package according to claim 1 which equips the lead adhesion field of the activity side of a semiconductor chip with the phase which carries out dace \*\*\*\*\* of the aforementioned non-conducting adhesives, and the phase of stiffening the adhesives by which dace \*\*\*\*\* was carried out [ aforementioned ].

[Claim 14] The manufacture technique of LOC type semiconductor chip package according to claim 13 which is the phase of removing the specific semiconductor chip chosen from the masking tape attached in the rear face of the aforementioned wafer by pushing up the specific selected semiconductor chip from the wafer with which dace \*\*\*\*\* of the aforementioned non-conducting adhesives is carried out, and the aforementioned xy table is equipped with the phase of dividing the aforementioned wafer into an individual semiconductor chip.

[Claim 15] The manufacture technique of LOC type semiconductor chip package according to claim 13 which recognizes the poor chip identification display as which the phase which carries out dace \*\*\*\*\* of the non-conducting adhesives is displayed on the lead

adhesion field of the activity side of the aforementioned semiconductor chip by the semiconductor chip on a wafer, and possesses the phase of performing dace \*\*\*\*\* alternatively only to the semiconductor chip which does not have this display.

[Claim 16] The semiconductor chip which has the activity side where two or more electrode pads are arranged in the center, The leadframe which has the lead attached in the activity side of the aforementioned semiconductor chip, The electric link means for connecting electrically a lead of the aforementioned leadframe, and the electrode pad of the aforementioned semiconductor chip, It has a package fuselage for protecting the aforementioned semiconductor chip, a lead, and an electric link means. The activity side of the aforementioned semiconductor chip has a lead adhesion field in the position in which the aforementioned lead should be attached. in the aforementioned lead adhesion field LOC type semiconductor chip package to which the adhesives which are made to apply and harden liquefied non-conducting adhesives in the wafer status before separating an individual semiconductor chip from a wafer, and were formed are applied.

[Claim 17] the field for making the field for the protection layer equipped with an inactive layer and a polyimide coating layer being applied to the aforementioned activity side, and the aforementioned protection layer making the aforementioned electrode pad open wide, and the aforementioned lead adhesion field open wide -- having -- in addition -- and LOC type semiconductor chip package according to claim 16 whose aforementioned lead adhesion field has the shape of a quirk

[Claim 18] The aforementioned non-conducting adhesives are LOC type semiconductor chip packages according to claim 16 which are the adhesives chosen out of the group which consists of a polyimide, epoxy, a polyimide siloxane, and a polyether amide.

[Claim 19] The phase of preparing the metal screen to which the aforementioned non-conducting adhesives have an open section pattern in the position corresponding to the aforementioned lead adhesion field, The phase of carrying out alignment of the aforementioned screen to the aforementioned wafer, and sticking the screen on the top of a wafer, The phase which is made to pass liquefied adhesives through the open section pattern of the aforementioned metal screen, and applies liquefied adhesives to a lead adhesion field, LOC type semiconductor chip package according to claim 16 formed of the process equipped with the phase of separating the aforementioned screen from a wafer, and the phase of stiffening the liquefied adhesives applied to the aforementioned lead adhesion field.

[Claim 20] The phase where the aforementioned non-conducting adhesives equip with the aforementioned wafer xy table which can move to x and y shaft orientations, The phase which carries out alignment of the dace \*\*\*\*\* head equipped with the needle which carries out dace \*\*\*\*\* of the liquefied non-conducting adhesives of a constant rate to the wafer bottom, LOC type semiconductor chip package according to claim 16 formed in the lead adhesion field of the activity side of a semiconductor chip of the process equipped with the phase which carries out dace \*\*\*\*\* of the aforementioned non-conducting adhesives, and the phase of stiffening the adhesives by which dace \*\*\*\*\* was carried out [ aforementioned ].

[Claim 21] It is LOC type semiconductor chip package according to claim 20 scribing of the wafer is carried out [ package ] to an individual semiconductor chip along with the scribe line defined between adjoining semiconductor chips by the tape for protection having pasted the rear face of the wafer with which the aforementioned xy table is equipped.

---

[Translation done.]

\* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[The technical field to which invention belongs] More specifically, this invention relates to LOC type semiconductor chip package in which the adhesives for pasting up a semiconductor chip and a lead of a leadframe are applied and formed in the lead adhesion field of the activity side of a semiconductor chip in the state of a wafer, and its manufacture technique about LOC (Lead-On-chip) type semiconductor chip package.

#### [0002]

[Description of the Prior Art] A package has the structure attached in the lead fraction of a leadframe instead of LOC type semiconductor chip attaching a semiconductor chip in a leadframe pad (die pad). Since a leadframe lead must be electrically connected to a semiconductor chip, an internal lead fraction is attached in the activity side of a chip in which the electrode pad is prepared. Then, a lead is arranged at the semiconductor chip bottom, as shown in drawing 12. That is, if drawing 12 is referred to, the leadframe 10 containing the internal lead 12, the external lead 14, and the bus bar 16 will be pasted up on the top of a semiconductor chip with adhesives 30. A leadframe 10 consists of a copper alloy or an iron alloy. Adhesives 30 paste up the internal lead 12 and the bus bar 16 on the activity side 24 of a semiconductor chip established in the electrode pad 22, and the between semiconductor chip like an erector carries out the role supported by the leadframe.

[0003] The internal lead 12 and the electrode pad 22 are electrically connected by the bonding wire 40 of gold or aluminum, as shown in drawing 13. A bus bar 16 is the lead for supplying power to a semiconductor chip 20 stably. If the external lead 14 projected from the fuselage is bent in the suitable gestalt, for example, a J character configuration, after forming the package fuselage for protection 50, LOC type package will be obtained.

[0004] With such LOC type package technique, since the ratio of the size of a semiconductor chip and a package size can be raised, a manufacture of a compact-package element is attained. For example, with the package element which has general structure, although the ratio of a package size and a chip size is a maximum of 70% with COL (Chip-On-Lead) type package a maximum of 60%, in the case of LOC type package, a size ratio can be raised a maximum of 90%. Moreover, with LOC type package, since it has the advantage that the reliability fall resulting from the differentiation in the physical property between different species matter, for example, the differentiation in the coefficient of thermal expansion between a package fuselage and a leadframe etc., can be prevented in order not to use a leadframe pad, the semiconductor manufacturer of present [ many ] uses.

[0005] Although the polyimide system double faced adhesive tape by which polyimide film both sides were usually coated with adhesives, for example, thermosetting epoxy adhesives, is used as adhesives 30 used for LOC type package, the manufacture process is as follows. First, the adhesives of the melting status are uniformly applied to the whole surface of a polyimide film by fixed thickness. And it is made to harden so that adhesives may be in the semisolid status. subsequently, on the other hand, a polyimide film is alike similarly, and the adhesives of the melting status are applied and stiffened After cutting the polyimide tape on which adhesives were applied so that it may have fixed width of face, it is transported to the die bonding process which attaches a semiconductor chip and a leadframe.

[0006] Drawing 14 A c Drawing 14 C is a fragmentary section view for explaining the process in which a semiconductor chip is pasted up on a leadframe using the aforementioned polyimide tape. Adhesives 30 are attached in a leadframe 10 by sticking a leadframe 10 and the adhesives 30 equipped with the internal lead 12 and the bus bar 16 by pressure, applying about 200 or 400-degree C heat by the heater 60 and the punching machine 70. In this case, the punching of the unnecessary fraction of adhesives is carried out, and a punching machine 70 removes it so that the gestalt of a leadframe may be suited. A semiconductor chip 20 is laid on the heater block 80, and a tape is pasted up on the activity side of a semiconductor chip.

[0007] However, LOC type semiconductor chip package element by such conventional technique has the following troubles.

[0008] Since the manufacturing process is complicated, the polyimide tape of a three-tiered structure on which adhesives are applied in the first place at both sides has a limitation in causing the elevation for manufacturing costs and minimizing the thickness of a tape.

[0009] The process which attaches a polyimide tape in the second at a lead of a leadframe becomes the factor as which the working limit of a punching machine determines the minimum size of adhesives in order to use the mechanical manipulation technique by the punching method, and the burr (burr) of the tape mostly generated in a punching process has a possibility of causing a failure as a future erector.

[0010] Since the polyimide tape touches the leadframe which is the different-species matter, the semiconductor chip, and the plastic-package fuselage, it may cause the failure of a package in the third by the thermal stress resulting from the differentiation in the coefficient of thermal expansion between the reliability checks conducted under an elevated temperature and the humid ambient atmosphere, and between different-species matter. Moreover, since a polyimide film and adhesives have high hygroscopicity, when a package is mounted in an external circuit substrate by soldering, they can cause a package crack.

[0011] Therefore, the policy which suppresses the elevation for manufacturing costs in order to apply LOC package technique, and the policy which decreases the size and thickness of a tape in order to conquer the reliability fall by the contact between different-species matter are needed.

[0012] [Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention is to offer LOC type semiconductor chip package element which can reduce the object for manufacturing costs, and its manufacture technique.

[0013] It is in other purposes of this invention raising the reliability of LOC type semiconductor chip package.

[0014] [Means for Solving the Problem] The manufacture technique of LOC type semiconductor chip package by this invention applies liquefied non-conducting adhesives to the lead adhesion field of the activity side of a semiconductor chip in the state of a wafer, before not using the adhesives of the tape gestalt and separating a semiconductor chip from a wafer individually, in order to attach a lead and semiconductor chip of a leadframe. When applying liquefied adhesives in the state of a wafer, in order to prevent that adhesives overflow to the activity side of semiconductor chips other than a lead adhesion field, a lead adhesion field is formed so that it may have the shape of a quirk. The mask used in order to make an electrode pad open wide from protection layers, such as an inactive layer applied on an activity side and a polyimide coating layer, after completing a manufacture of a semiconductor chip by wafer manipulation can be used for the lead adhesion field of the shape of this quirk as it is, and it can attain it by including the pattern for a lead adhesion field in this mask.

[0015] The technique of applying adhesives in the state of a wafer arranges and carries out alignment of the screen which has a desired pattern corresponding to a lead adhesion field to the wafer bottom. or [ using the screen printing with which liquefied adhesives are applied to the lead adhesion field of the activity side of the semiconductor chip of the wafer status by the squeegee (squeegee) through a lead adhesion field pattern, after sticking a wafer and the

[screen] --- or The lead adhesion field of the activity side of a semiconductor chip is recognized in the state of a wafer, and it is a wire dispenser (dispenser). The dace \*\*\*\*\* (dispensing) method which uses and applies liquefied adhesives to this field can be used.

[0016] When using the dace \*\*\*\*\* method, adhesives may be applied to a target one by one to the semiconductor chip on a wafer, and dace \*\*\*\*\* may be applied at a stretch to many semiconductor chips. Moreover, if a dace \*\*\*\*\* head is included in die bonding equipment equipped with the system which recognizes the position of the semiconductor chip on a wafer, and xy table which can move a wafer to xy shaft orientations, a dace \*\*\*\*\* process can be advanced more efficiently.

[0017]

[Embodiments of the Invention] Hereafter, this invention is more explained to a detail, referring to a drawing.

[0018] The manufacture technique of LOC type semiconductor chip package by this invention is advanced according to the flow chart showing in drawing 1 fundamentally. Two or more semiconductor chips which have a desired capacity and a desired function in a wafer manufacture phase (100) are batch processes (batch process). It is manufactured simultaneously. In the semiconductor chip used for LOC type package, the electrode pad is arranged at a part for the center section of the activity side in which the circuit element is prepared, and a lead of a leadframe is attached in the activity side of this chip.

[0019] Although a protection layer is covered on a wafer after a manufacture of a circuit element finishes (phase 102), a protection layer may be an inactive layer generally used by the semiconductor manufacturing process, and may be a polyimide layer coated on this inactive layer. A polyimide coating layer carries out the role from which the activity side of a semiconductor chip is protected at the time of the rear-face polishing process which grinds the rear face of a wafer in order to make thickness of a wafer thin, and an inactive layer is protected at the time of the forming cycle which forms a package fuselage. Moreover, since a polyimide coating layer has the function to reduce SER (soft error ratio) by the alpha particle emitted from the activity matter contained in the package fuselage, it is broadly used by the present semiconductor manufacturing process. A polyimide layer is mainly coated by the spin coating method.

[0020] although applied to the whole activity side of a wafer, in this case, the electrode pad of a semiconductor chip is opened wide, and if there is no protection layer, it will not become This electrode pad is because it acts as a path which makes a semiconductor chip connect outside electrically and a wire must connect with a leadframe between wirebonding processes. The open phase (103) of an electrode pad is performed using a general etching process. On the other hand, although it mentions later for details when opening an electrode pad, it is desirable that the field where adhesives are applied to the activity side of a semiconductor chip, i.e., a lead adhesion field, is opened wide together, and a lead adhesion field is made to have the shape of a quirk.

[0021] Adhesives are applied to the lead adhesion field on the front face of a wafer where the protection layer was applied (phase 104), and a semiconductor chip is individually separated from a wafer (105). The semiconductor chip separated with the individual element is attached in a leadframe lead (106). The semiconductor chip separated from the wafer is called 'die', and it is called die bonding to attach this die in a leadframe. In the die bonding phase 106, the adhesives applied to the front face of a semiconductor chip are used between phases 104, without using special adhesive tape.

[0022] A future process cuts the wirebonding process (107) which connects electrically a leadframe lead and the electrode pad of a semiconductor chip, the closure phase (108) which forms a protection package fuselage, a protection package fuselage, and a lead from a leadframe strip as similarly as a common package erector, and advances in the order of disconnection/bending phase (109) which bends the lead fraction projected from the package fuselage with the suitable gestalt.

[0023] The drawing 2 or the drawing 4 is the perspective diagram and partial enlarged view for

explaining the process which forms the lead adhesion field of  shape of a quirk by this invention.

[0024] A lead adhesion field is formed in the electrode pad opening phase (103) of drawing 1. The electrode pad opening field 124 and the lead adhesion field 122 can be formed using the photo mask 110 generally used on the conventional general photolithography (photolithography) technique. Chromium 116 is formed in the glass plate by the fixed pattern at the photo mask. The lead adhesion field pattern 112 and the electrode pad opening pattern 114 are contained in this mask pattern.

[0025] A film is covered on the whole front face of the wafer 120 with which the protection layer 128 is applied, and the mask 110 with which patterns 112 and 114 are formed in the bottom is aligned. If light, such as a ultraviolet radiation, is irradiated on the surface of a wafer through a mask 110, as for the film applied to the wafer front face, in response to light, the chemical property will change with mask patterns partially. If it is exposed and a part for a protection layer is etched after removing the fraction which developed the wafer and received the light in a film, the lead adhesion field 122 and the electrode pad opening field 124 which were shown in drawing 4 will be formed. Since the lead adhesion field 122 has the shape of a quirk, when applying adhesives to this field 122 by this invention, the application of adhesives is easy for it and it can prevent overflow of adhesives. However, it is possible to apply direct adhesives not on the thing which must form the lead adhesion field 122 in the protection layer 128 but on the protection layer 128, and to also make it paste up with a leadframe lead.

[0026] There is various technique as the technique of applying adhesives to the specific field, i.e., the lead adhesion field, of an activity side of a semiconductor chip in the state of a wafer. Among those, it is the technique in which the spin coating method rotates liquefied adhesives after optimum-dose \*\*\*\*\*\*, and rotates a wafer on the surface of a wafer at high speed, and liquefied adhesives are made to spread all over a wafer with a centrifugal force. although it has the advantage in which time to apply adhesives to a wafer front face is short, since adhesives are not applied only to a lead adhesion field and applied to the whole wafer front face, after stiffening the applied adhesives, this opens an electrode pad wide, and if there is nothing, it will not become However, in order to secure the stable adhesion between a semiconductor chip and a lead between die bonding processes and to protect the activity side of a chip, you have to apply the adhesives layer which has the thickness of about 30 micrometers or more. Therefore, much time becomes such a thing at the etching process for electrode pad opening. Moreover, in order that a thick adhesives layer may cover the whole electrode pad, it also becomes causing waste of money of adhesives and causing the reliability fall resulting from the differentiation in the coefficient of thermal expansion with other matter, for example, a silicon chip, or a package fuselage.

[0027] Drawing 5 is a perspective diagram for explaining the process which applies adhesives to the lead adhesion field of the semiconductor chip of the wafer status using the screen printing by this invention.

[0028] The open section pattern 132 for the screen 130 which consists of a metallic foil applying adhesives 140 to the lead adhesion field 122 established in the chip activity side of a wafer 120 is formed. The alignment key (not shown) for the exact alignment with a wafer 120 is prepared in the screen 130. After alignment finishes, the screen 130 and the wafer 120 are stuck. Therefore, only the lead adhesion field 122 on a wafer is exposed outside with the pattern 132. Adhesives 140 will be applied to the lead adhesion field 122 if a squeegee 134 is moved in the orientation of the arrow head, supplying the liquefied adhesives 140 on the screen. The screen 130 is removed after an adhesives application and adhesives are stiffened. The last structure is as being shown in drawing 6 A and drawing 6 B. Drawing 6 A is the partial enlarged view showing the structure where adhesives 142 are applied to the semiconductor chip 126 by the screen printing, and drawing 6 B is the cross section cut along with the line 6-6 of drawing 6 A.

[0029] Adhesives should consist of the non-conducting matter and any one, a polyimide, epoxy, a polyimide siloxane, and the polyether amide, can be used for them. As for adhesives, what is excellent in viscosity or a thixotropy is desirable. In the case of epoxy adhesives, a

curing temperature is so...ewhat higher than other adhesives.

[0030] Although the advantage in which adhesives can be once applied to two or more lead adhesion fields by work is in a screen printing, the adhesives used for this process must bear so long working hours. Adhesives are strike wringings (stringing) in carrying out the trap of the air too much \*\*\*\*. It must cause, or it bends and must be designed like and pertinently. If adhesives are applied with a screen printing, since the pattern and thickness of adhesives which are formed are easily controllable by the design change of the screen, the failure of LOC type package by use of the conventional adhesives can be abolished. When advancing work continuously to two or more wafers with the one screen, you have to remove the adhesives attached to the screen rear face in contact with a wafer. Moreover, since the applied adhesives layer may form a non-flat-surface-like wafer side inevitably and this may cause trauma to a wafer in the tape package phase over a wafer side, in a future assembly phase, a wafer must be dealt with carefully.

[0031] Drawing 7 is an outline perspective diagram for explaining the process which applies adhesives to the lead adhesion field of the semiconductor chip of the wafer status by the dace \*\*\*\*\* method.

[0032] It equips with the wafer 120 currently fixed with the wafer ring 160 on the xy table 170 which can move to x and y shaft orientations. The dace \*\*\*\*\* head 150 is equipped with the tube 154 which supplies the liquefied adhesives 156, the syringe 158 containing the adhesives of a constant rate, and two or more needles 152 which carry out dace \*\*\*\*\* of the adhesives.

[0033] As mentioned above, any one, the polyimide which is the non-conducting matter, epoxy, a polyimide siloxane, and the polyether amide, is used for adhesives. The position of the lead adhesion field of a chip activity side is recognized using an optical system (not shown), by controlling drive meanses, such as a stepping motor or a servo motor, based on this recognition information, moves the xy table 170 and carries out alignment of the dace \*\*\*\*\* head to the wafer bottom. If exact alignment is made, a dace \*\*\*\*\* head will down and adhesives will be applied to the lead adhesion field of a chip activity side through a needle. After the adhesives application to one semiconductor chip finishes, a dace \*\*\*\*\* head goes up, the xy table 170 is moved, and alignment of the following semiconductor chip is carried out. When carrying out dace \*\*\*\*\* of the adhesives through a needle, the amount of adhesives can be controlled by the pneumatic pressure.

[0034] Overflow of adhesives can be prevented if adhesives are applied on the other hand after forming the lead adhesion field 124 of the shape of a quirk explained while referring to drawing 4 in the chip activity side where dace \*\*\*\*\* of the adhesives is carried out.

[0035] Since the application of adhesives is possible for such a dace \*\*\*\*\* method, without a dace \*\*\*\*\* head touching a wafer front face directly, compared with the screen printing, the handling with a wafer stable regardless of thickness, a size, etc. of a wafer is possible for it. And since the width of face of the adhesives with which adhesives are applied [ with which are applied and it is application-located ] by changing the diameter of a needle and the motion speed of a head and controlling a pneumatic pressure, a length, and thickness are easily controllable, in the structure of LOC type package, or the field of a reliability, selection of optimal structure is possible.

[0036] the application of the adhesives by dace \*\*\*\*\* was mentioned above -- as -- one semiconductor chip of the wafer status -- receiving -- every [ once ] -- adhesives, although dace \*\*\*\*\* can also be advanced It is a long line (long line) to two or more semiconductor chips which are in the same line as shown in drawing 8 . As it is also possible to carry out dace \*\*\*\*\* (156a) of the adhesives in a format or it is shown in drawing 9 It is also possible to equip one dace \*\*\*\*\* head 180 with the multi-needles 152a, 152b, 152c, and 152d, and to carry out dace \*\*\*\*\* (156b) of the adhesives simultaneously to two or more semiconductor chips. Moreover, thickness of adhesives can be made regularity if dace \*\*\*\*\* is simultaneously advanced to two or more semiconductor chips. Furthermore, since scribing by the diamond wheel which rotates with a high rotational speed in a wafer disconnection phase is performed even if it carries out day

pen \*\*\*\*\* of the adhesives and it applies them in a long line format to the chip in the same line, as for an adjoining semiconductor chip, what are separated easily satisfactory.

[0037] Until now, it explained using a special dace \*\*\*\*\* machine for the lead adhesion field of the semiconductor chip of the wafer status, when carrying out the De Dis \*\*\* of the adhesives. This dace \*\*\*\*\* machine must be equipped with the optical system for recognizing the position of the drive means for moving the table on which it was equipped with the wafer to xy shaft orientations, and the lead adhesion field of a semiconductor chip etc. On the other hand, the conventional die bonding equipment is equipped with xy table to which a wafer can be moved, and the optical system which recognizes the position of the specific semiconductor chip on a wafer. Therefore, if a dace \*\*\*\*\* head is included in the conventional die bonding equipment, compaction of a cost saving or process time can be aimed at.

[0038] Drawing 10 is a schematic diagram of a die bonding equipment equipped with the dace \*\*\*\*\* head 150.

[0039] The semiconductor wafer 120 currently fixed to the wafer ring 160 passes through a wafer side polishing phase, a masking tape package phase, and a wafer disconnection (that is, scribing) phase further through a wafer manufacture phase (100 of drawing 1), a protection stratification phase (102), and an electrode pad opening phase (103). Although the scribe of the wafer 120 is carried out to each semiconductor chip, a chip is supported with the masking tape 220 attached in the rear face. If a wafer 120 is laid in the extended table 190 and a tape 220 is pulled outside using the extended ring 192, the semiconductor chip by which scribing was carried out will place and leave distance to some extent. Since it is combined with the xy table 200, the extended table 190 is movable to x and y shaft orientations. The optical system 240 is CCD (charge coupled device). It has a camera 242 and the monitor 244. A camera 242 recognizes the position of the specific semiconductor chip on the wafer 120 with which the xy table 200 is equipped, and outputs this positional information to a monitor 244. The positional information of the optical system 240 is used for carrying out alignment of the pickup tool 230 and the dace \*\*\*\*\* head 150 on a wafer at the same time it is used for controlling the drive motor (not shown) which makes the xy table 200 drive.

[0040] After carrying out alignment of the dace \*\*\*\*\* head 150 on a wafer, the non-conducting liquefied adhesives which were contained in the syringe 158 through the tube 154 of a head 150 are applied to the lead adhesion field of a chip activity side from a needle 152 by the pneumatic pressure supplied from the air tube 155. In this case, dace \*\*\*\*\* may advance a target one by one for every semiconductor chip, or may be simultaneously advanced to two or more semiconductor chips. On the other hand, it is common to give ink dotting on the front face of the poor chip between EDS (Electrical Die Sorting) checks and on a wafer 120. Therefore, if the dace \*\*\*\*\* method which applies adhesives is used after recognizing an individual chip, since adhesives will not be applied to a poor chip unlike spin coating or a screen printing, futility \*\*\*\*\* of adhesives can be prevented.

[0041] An individual chip is completely separable from a tape 220 120, i.e., a wafer, by the ejector 210 which has a knock out pin (not shown) moving to a position P1 after an application of adhesives, and hardening, and pushing up the selected individual chip. The separated chip is moved to die bonding equipment with the pickup tool 230.

[0042] Drawing 11 is a partial schematic diagram of the die bonding equipment for explaining the process which carries out bonding of the individual semiconductor chip 290 and the leadframe.

[0043] The leadframe 280 of a strip configuration moves in the arrow head A1 orientation along with the migration rail 270. The leadframe 280 is equipped with the internal lead 282, the external lead 284, and the bus bar 286, and bonding of an internal lead and the bus-bar fraction will be carried out to a semiconductor chip 290 by the adhesives 156 applied to the activity side of a semiconductor chip 290 by this invention.

[0044] The pickup tool 230 carries the individual semiconductor chip 290 along with an arrow head A 2-way, and lays in the die bonding position of the heater block 260. The vertical move is possible for the heater block 260 as the arrow head A4 shows. If a leadframe 280 moves

along with the arrow head A1 and arrives at a die bonding position, bonding of the leadframe lead will be carried out to the activity side of a semiconductor chip by carrying out thermocompression bonding of the semiconductor chip to a lead of a leadframe with the die bonding head 250 and the heater block 260. Although adhesives are applied to a leadframe pad with the conventional general package in a position P2, as mentioned above, adhesives 156 are already applied to the lead adhesion field of a chip activity side with LOC type package by this invention.

[0045]

[Effect of the Invention] As explained above, since the adhesives for LOC type package element by this invention pasting up a leadframe lead and a semiconductor chip are applied to the lead adhesion field of a semiconductor chip activity side in the state of a wafer, the polyimide adhesive tape which consists of a three-tiered structure does not need to be used for them. Therefore, since the object for manufacturing costs can be reduced and a size, thickness, etc. of adhesives can be adjusted easily, the reliability of a package element can be raised.

---

[Translation done.]

\* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] It is the flow chart of the manufacturing process of LOC type semiconductor chip package by this invention.

[Drawing 2] It is the perspective diagram showing the photo mask used in order to form the lead adhesion field of the shape of a quirk by this invention at the same time it opens an electrode pad from a protection layer.

[Drawing 3] It is the partial enlarged view of the photo mask which has an electrode pad pattern and a lead adhesion field pattern.

[Drawing 4] It is the partial enlarged view showing the chip activity side in which the electrode pad opening field and the lead adhesion field of the shape of a quirk by this invention were formed.

[Drawing 5] It is a perspective diagram for explaining the process which applies adhesives to the lead adhesion field of the semiconductor chip of the wafer status using the screen printing by this invention.

[Drawing 6] Drawing 6 A is the partial expansion perspective diagram showing the structure of the semiconductor chip of the wafer status that adhesives were applied by the screen printing by this invention, and drawing 6 B is the fragmentary sectional view.

[Drawing 7] It is an outline perspective diagram explaining the process which applies adhesives to the lead adhesion field of the semiconductor chip of the wafer status by the dace \*\*\*\*\* method.

[Drawing 8] It is the outline perspective diagram showing the process which carries out dace \*\*\*\*\* of the adhesives in a long line format to the lead adhesion field of two or more semiconductor chips which are in the same line especially by the dace \*\*\*\*\* method in the process which applies adhesives.

[Drawing 9] It is the outline perspective diagram showing the process which performs dace \*\*\*\*\* simultaneously to two or more chips using the dace \*\*\*\*\* head which has two or more needles especially by the dace \*\*\*\*\* method in the process which applies adhesives.

[Drawing 10] It is the schematic diagram of die bonding equipment equipped with a dace \*\*\*\*\* head.

[Drawing 11] It is the partial schematic diagram of the die bonding equipment explaining the process which carries out bonding of an individual semiconductor chip and an individual leadframe.

[Drawing 12] It is the perspective diagram showing the structure of the conventional LOC type semiconductor chip package.

[Drawing 13] It is the transverse-plane cross section showing the structure of the conventional LOC type semiconductor chip package.

[Drawing 14] It is the fragmentary sectional view showing the conventional process of attaching a leadframe in the activity side of a semiconductor chip using a polyimide tape.

##### [Description of Notations]

110 Photo Mask

112 Lead Adhesion Field Pattern

114 Electrode Pad Opening Pattern

116 Chromium  
120 Wafer  
122 Lead Adhesion Fi Id  
124 Electrode Pad Opening Fi Id  
126 Semiconductor Chip  
128 Protection Layer  
130 Screen  
132 Open Section Pattern  
134 Squeegee  
140 Adhesives  
142 Adhesives  
150 Dace \*\*\*\*\* Head  
152 Needle  
152a, 152b, 152c, 152d Multi-needle  
154 Tube  
155 Air Tube  
156 Adhesives  
158 Syringe  
160 Wafer Ring  
170 Xy Table  
180 Dace \*\*\*\*\* Head  
190 Extended Table  
192 Extended Ring  
200 Xy Table  
210 Ejector  
220 Tape  
230 Pickup Tool  
240 Optical System  
242 CCD Camera  
244 Monitor  
250 Die Bonding Head  
260 Heater Block  
270 Migration Rail  
280 Leadframe  
282 Internal Lead  
284 External Lead  
286 Bus Bar  
290 Semiconductor Chip

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144703

(43) 公開日 平成10年(1998)5月29日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/52  
23/50

識別記号

F I  
H 01 L 21/52  
23/50

E  
Y

審査請求 有 請求項の数21 O.L (全 11 頁)

(21) 出願番号 特願平8-296747

(22) 出願日 平成8年(1996)11月8日

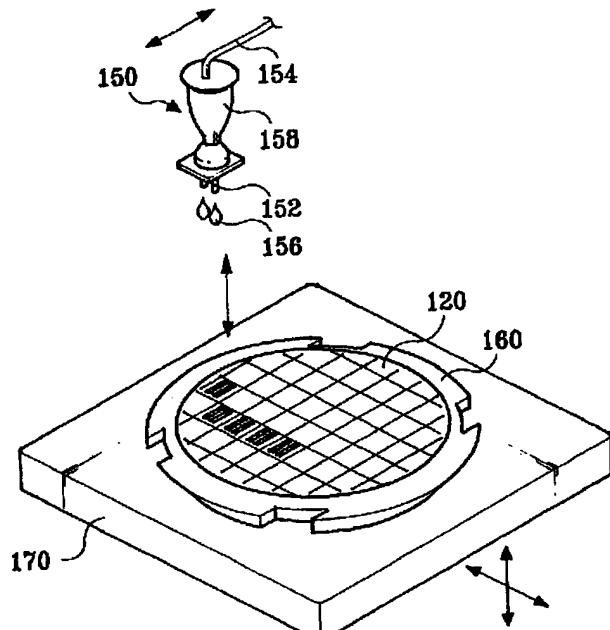
(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72) 発明者 宋 榮 宰  
大韓民国京畿道城南市盆塘区守耐洞55パ一  
クタウンロッテアパートメント135-1303  
(72) 発明者 徐 槟 佑  
大韓民国京畿道水原市八達区牛滿洞530-  
25大榮ヴィラ2同202号  
(72) 発明者 金 京 壯  
大韓民国ソウル特別市冠岳区新林2洞120  
- 2  
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 LOC型半導体チップパッケージ及びその製造方法

(57) 【要約】

【課題】 製造費用を低減することができ、パッケージ素子の信頼性を向上させることができるLOC型半導体チップパッケージを提供する。

【解決手段】 本発明によるLOC型半導体チップパッケージの製造方法においては、ウェーハ状態の半導体チップの活性面のリード接着領域にスクリーン印刷法又はディスペンシング法によって非導電性液状接着剤を塗布する。リード接着領域を構形状を有するように形成することにより接着剤のオーバーフローを防止することができ、ディスペンシング法の場合には複数のチップに順次に又は同時に接着剤を塗布することができ、さらにダイボンディング装備にディスペンシングヘッドを組み込んで接着剤を塗布することができる。



## 【特許請求の範囲】

【請求項 1】 複数の電極パッドが中央に配列された活性面を有する複数の半導体チップが設けられている上面を有するウェーハを準備する段階と、前記ウェーハの上面に保護層を塗布する段階と、前記中央に配列された電極パッドの両側に位置するリード接着領域に非導電性接着剤を塗布する段階と、前記ウェーハを個別の半導体チップに分離する段階と、前記分離された半導体チップを支持し、かつ、外部回路に前記分離されたチップを電気的に接続させるための複数のリードを有するリードフレームにおける内部リード部分を、前記非導電性接着剤を用いて、半導体チップの活性面のリード接着領域に取り付けるダイボンディング段階と、前記リードフレームの内部リードと半導体チップの電極パッドとを電気的に連結する段階と、前記半導体チップを保護するパッケージ胴体を形成する段階とを備える LOC 型半導体チップパッケージの製造方法。

【請求項 2】 前記保護層を塗布する段階が、所定位置の保護層を除去して前記電極パッド及び前記リード接着領域を露出、開放させる段階を具備している、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 3】 前記保護層を塗布する段階が、ウェーハの上面に液状ポリイミドをスピニコーティングする段階と、前記電極パッドのパターン及び前記リード接着領域のパターンを有するフォトマスクを用意する段階と、前記ポリイミドコーティング層上に感光膜を塗布する段階と、前記フォトマスクを用いて感光膜を露光、現像する段階と、電極パッド及びリード接着領域をエッチングして開放させる段階とを具備する、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 4】 前記のリードフレームの内部リードと半導体チップの電極パッドとを電気的に連結する段階がワイヤボンディングによって行われる、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 5】 前記非導電性接着剤が、ポリイミド、エポキシ、ポリイミドシロキサン、ポリエーテルアミドよりなる群から選ばれた接着剤である、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 6】 前記非導電性接着剤を塗布する段階が、前記リード接着領域に対応する位置に開放部パターンを有する金属スクリーンを用意する段階と、

前記スクリーンを前記ウェーハにアライメントし、ウェーハの上面にスクリーンを密着させる段階と、液状接着剤を前記金属スクリーンの開放部パターンを介して通過させ、リード接着領域に液状接着剤を塗布する段階と、

前記スクリーンをウェーハから分離する段階と、

前記リード接着領域に塗布された液状接着剤を硬化させ

る段階とを具備する、請求項 1 又は 2 に記載の LOC 型半導体チップパッケージの製造方法。

【請求項 7】 前記非導電性接着剤を塗布する段階は、前記ウェーハを x、y 軸方向に移動可能な x y テーブルに装着する段階と、一定量の液状非導電性接着剤をディスペシングするニードルを備えたディスペシングヘッドを、ウェーハの上側にアライメントする段階と、半導体チップの活性面のリード接着領域に前記非導電性接着剤をディスペシングする段階と、前記ディスペシングされた接着剤を硬化させる段階とを具備する、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 8】 前記リード接着領域が、フォトエッチング工程によって前記保護層が選択的に除去されて溝形状を有するようにした、請求項 7 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 9】 前記液状非導電性接着剤のディスペシングが前記複数の半導体チップに対して順次に行われる、請求項 7 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 10】 前記液状非導電性接着剤のディスペシングが前記ウェーハにおける同一のライン（同じ列又は同じ行）にある半導体チップに対して一時に行われる、請求項 7 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 11】 前記ディスペシングヘッドが複数のニードルを有して複数の半導体チップに対してディスペシングが一時に行われる、請求項 7 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 12】 前記非導電性接着剤が、ポリイミド、エポキシ、ポリイミドシロキサン、ポリエーテルアミドよりなる群から選ばれた接着剤である、請求項 7 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 13】 前記非導電性接着剤を塗布する段階の前に、前記ウェーハの裏面に保護テープを装着する段階と、ウェーハ上において隣接する半導体チップとの間で定義されたスクライプ線に沿ってテープ装着ウェーハをスクライピングする段階とを備え、

前記非導電性接着剤を塗布する段階が、前記ウェーハを x、y 軸方向に移動可能な x y テーブルに装着する段階と、一定量の液状非導電性接着剤をディスペシングするニードルを備えたディスペシングヘッドをウェーハの上側にアライメントする段階と、半導体チップの活性面のリード接着領域に前記非導電性接着剤をディスペシングする段階と、前記ディスペシングされた接着剤を硬化させる段階とを備える、請求項 1 記載の LOC 型半導体チップパッケージの製造方法。

【請求項 14】 前記のウェーハを個別の半導体チップに分離する段階が、前記非導電性接着剤がディスペシングされており、前記 x y テーブルに装着されているウ

エーハから、選択した特定の半導体チップを押し上げることにより、前記ウェーハの裏面に取り付けられている保護テープから選択した特定の半導体チップを取り外す段階である、請求項13記載のLOC型半導体チップパッケージの製造方法。

【請求項15】 前記の半導体チップの活性面のリード接着領域に非導電性接着剤をディスペンシングする段階が、ウェーハ上の半導体チップに表示されている不良チップ識別表示を認識し、この表示を有しない半導体チップのみに対してディスペンシングを選択的に行う段階を具備する、請求項13記載のLOC型半導体チップパッケージの製造方法。

【請求項16】 複数の電極パッドが中央に配列されている活性面を有する半導体チップと、前記半導体チップの活性面に取り付けられるリードを有するリードフレームと、前記リードフレームのリード及び前記半導体チップの電極パッドを電気的に連絡するための電気的連絡手段と、前記半導体チップとリード及び電気的連絡手段を保護するためのパッケージ胴体とを備え、前記半導体チップの活性面は前記リードが取り付けられるべき位置にリード接着領域を有し、前記リード接着領域には、ウェーハから個別の半導体チップを分離する前にウェーハ状態で液状非導電性接着剤を塗布、硬化させて形成された接着剤が塗布されているLOC型半導体チップパッケージ。

【請求項17】 前記活性面には不活性層及びポリイミドコーティング層を備える保護層が塗布されており、かつ、前記保護層は前記電極パッドを開放させるための領域と前記リード接着領域を開放させるための領域とを有し、なおかつ、前記リード接着領域は構形状を有している、請求項16記載のLOC型半導体チップパッケージ。

【請求項18】 前記非導電性接着剤は、ポリイミド、エポキシ、ポリイミドシロキサン、ポリエーテルアミドよりなる群から選ばれた接着剤である、請求項16記載のLOC型半導体チップパッケージ。

【請求項19】 前記非導電性接着剤が、前記リード接着領域に対応する位置に開放部パターンを有する金属スクリーンを準備する段階と、前記スクリーンを前記ウェーハにアライメントし、ウェーハの上面にスクリーンを密着させる段階と、液状接着剤を前記金属スクリーンの開放部パターンを介して通過させ、リード接着領域に液状接着剤を塗布する段階と、

前記スクリーンをウェーハから分離する段階と、前記リード接着領域に塗布された液状接着剤を硬化させる段階とを備える工程により形成された、請求項16記載のLOC型半導体チップパッケージ。

【請求項20】 前記非導電性接着剤が、前記ウェーハをx、y軸方向に移動可能なx yテーブルに装着する段

階と、一定量の液状非導電性接着剤をディスペンシングするニードルを備えたディスペンシングヘッドをウェーハの上側にアライメントする段階と、半導体チップの活性面のリード接着領域に前記非導電性接着剤をディスペンシングする段階と、前記ディスペンシングされた接着剤を硬化させる段階とを備える工程により形成された、請求項16記載のLOC型半導体チップパッケージ。

【請求項21】 前記x yテーブルに装着されるウェーハの裏面に保護用テープが接着されており、かつ、ウェーハは、隣接する半導体チップとの間で定義されたスクライプ線に沿って個別の半導体チップにスクライピングされる、請求項20記載のLOC型半導体チップパッケージ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、LOC(Lead-On-chip)型半導体チップパッケージに関し、より具体的には、半導体チップとリードフレームのリードとを接着するための接着剤が、ウェーハ状態で半導体チップの活性面のリード接着領域に塗布され形成されるLOC型半導体チップパッケージ及びその製造方法に関する。

##### 【0002】

【従来の技術】 LOC型半導体チップパッケージは、半導体チップをリードフレームパッド(ダイパッド)に取り付ける代わりにリードフレームのリード部分に取り付ける構造を有する。リードフレームリードは半導体チップに電気的に接続されなければならないので、内部リード部分は電極パッドが設けられているチップの活性面に取り付けられる。そこでリードは図12に示すように半導体チップの上側に配置される。すなわち、図12を参照すると、内部リード12、外部リード14、バスバー16を含むリードフレーム10は、半導体チップの上面に接着剤30により接着される。リードフレーム10は銅合金や鉄合金よりなる。接着剤30は、内部リード12及びバスバー16を、電極パッド22が設けられている半導体チップの活性面24に接着させ、組立工程の間に半導体チップがリードフレームにより支持されるようにする役割をする。

##### 【0003】 内部リード12及び電極パッド22は、図

40 13に示すように、金又はアルミニウムのボンディングワイヤ40により電気的に連絡される。バスバー16は半導体チップ20に電力を安定的に供給するためのリードである。保護用パッケージ胴体50を形成した後、胴体から突出した外部リード14を適切な形態、例えばJ字形状に折曲するとLOC型パッケージが得られる。

【0004】かかるLOC型パッケージ技術では半導体チップのサイズとパッケージサイズの比を向上させることができるので、小型パッケージ素子の製造が可能になる。例えば、一般的な構造を有するパッケージ素子ではパッケージサイズとチップサイズの比が最大60%、C

OL(Chip-On-Lead)型パッケージでは最大70%であるが、LOC型パッケージの場合には最大90%までサイズ比を高めることができる。また、LOC型パッケージではリードフレームパッドを使用しないため、異種物質間の物理的性質の差異、例えばパッケージ胴体とリードフレーム間の熱膨張係数の差異等に起因する信頼性低下を防止することができるという利点を有するので、現在多くの半導体製造業者が利用している。

**【0005】** LOC型パッケージに使用される接着剤30としては、通常ポリイミドフィルム両面に接着剤、例えば熱硬化性エポキシ接着剤がコーティングされたポリイミド系両面接着テープを使用するが、その製造過程は次の通りである。まず、ポリイミドフィルムの一面に溶融状態の接着剤を一定の厚さで均一に塗布する。そして接着剤が半固体状態になるように硬化させる。次いで、同様にポリイミドフィルムの他面に溶融状態の接着剤を塗布し、硬化させる。接着剤が塗布されたポリイミドテープは一定の幅を有するように切断された後、半導体チップ及びリードフレームを取り付けるダイボンディング工程に移送される。

**【0006】** 図14A乃至図14Cは、前記ポリイミドテープを用いてリードフレームに半導体チップを接着する過程を説明するための部分断面図である。内部リード12とバスバー16とを備えるリードフレーム10と接着剤30を、ヒータ60及びパンチングマシン70により約200乃至400°Cの熱を加えながら圧着することにより、接着剤30をリードフレーム10に取り付ける。この際、パンチングマシン70は、リードフレームの形態に適合するように接着剤の不要な部分をパンチングして除去する。半導体チップ20をヒータブロック80上に載置し、半導体チップの活性面にテープを接着させる。

**【0007】** しかるに、かかる従来技術によるLOC型半導体チップパッケージ素子は次のような問題点を有する。

**【0008】** 第一に、接着剤が両面に塗布されている3層構造のポリイミドテープは、製造工程が複雑であるので、製造費用の上昇を引き起こし、テープの厚さを最小化するに限界がある。

**【0009】** 第二に、ポリイミドテープをリードフレームのリードに取り付ける工程は、パンチング法による機械的な加工方法を使用するため、パンチングマシンの作業限界が接着剤の最小サイズを決定する因子になり、パンチング過程において多く発生するテープのまくれ(burr)は、以後の組立工程で不良を引き起こすおそれがある。

**【0010】** 第三に、ポリイミドテープは、異種物質であるリードフレーム、半導体チップ、プラスチックパッケージ胴体と接触しているので、高温、多湿の雰囲気下で行われる信頼性検査の間、異種物質間の熱膨張係数の

差異に起因する熱的ストレスによりパッケージの不良を引き起こすことがある。また、ポリイミドフィルム及び接着剤は吸湿性が高いため、パッケージを半田付けにより外部回路基板に実装するときパッケージクラックを引き起こすことができる。

**【0011】** 従って、LOCパッケージ技術を適用するためには、製造費用の上昇を抑制する方策と、異種物質間の接触による信頼性低下を克服するため、テープのサイズ及び厚さを減少させる方策が必要になる。

#### 10 【0012】

**【発明が解決しようとする課題】** 従って、本発明の目的は、製造費用を低減することができるLOC型半導体チップパッケージ素子及びその製造方法を提供することにある。

**【0013】** 本発明の他の目的は、LOC型半導体チップパッケージの信頼性を向上させることにある。

#### 【0014】

**【課題を解決するための手段】** 本発明によるLOC型半導体チップパッケージの製造方法は、リードフレームの

リードと半導体チップとを取り付けるため、テープ形態の接着剤を使用するものではなく、ウェーハから半導体チップを個別的に分離する前に、ウェーハ状態で半導体チップの活性面のリード接着領域に液状の非導電性接着剤を塗布する。ウェーハ状態で液状接着剤を塗布する場合、接着剤がリード接着領域以外の半導体チップの活性面にオーバーフローすることを防止するため、リード接着領域は溝形状を有するように形成される。この溝形状のリード接着領域は、ウェーハ加工により半導体チップの製造が完了した後、活性面上に塗布する不活性層やポリイミドコーティング層などの保護層から電極パッドを開放させるために使用されるマスクをそのまま使用し、このマスクにリード接着領域のためのパターンを含ませることにより達成することができる。

**【0015】** ウェーハ状態で接着剤を塗布する方法は、リード接着領域に対応する所望のパターンを有するスクリーンをウェーハの上側に配置してアライメントし、ウェーハ及びスクリーンを密着させた後、スキージ(squeegee)により液状接着剤がリード接着領域パターンを介してウェーハ状態の半導体チップの活性面のリード接着領域に塗布されるようにするスクリーン印刷法を利用するか、又は、ウェーハ状態で半導体チップの活性面のリード接着領域を認識し、ディスペンサー(dispenser)を用いてこの領域に液状接着剤を塗布するディスペンシング(dispensing)法を利用することができる。

**【0016】** ディスペンシング法を利用する場合は、ウェーハ上の半導体チップに対して順次的に接着剤を塗布してもよいし、多数の半導体チップに対して一時にディスペンシングを適用してもよい。また、ウェーハ上の半導体チップの位置を認識するシステムと、ウェーハをx

50 y軸方向に移動し得るx yテーブルとを備えるダイボン

ディング装置にディスペンシングヘッドを含ませると、ディスペンシング工程をより効率的に進行させることができ。

#### 【0017】

【発明の実施の形態】以下、図面を参照しながら本発明をより詳細に説明する。

【0018】本発明によるLOC型半導体チップパッケージの製造方法は、基本的に図1に示す流れ図に従って進められる。ウェーハ製造段階(100)においては、所望の容量及び機能を有する複数の半導体チップが一括工程(batch process)により同時に製造される。LOC型パッケージに使用される半導体チップでは、回路素子が設けられている活性面の中央部分に電極パッドが配置されていて、リードフレームのリードはこのチップの活性面に取り付けられる。

【0019】回路素子の製造が終わると、ウェーハ上に保護層を被覆するが(段階102)、保護層は、半導体製造工程で一般的に使用される不活性層であってもよいし、この不活性層上にコーティングされたポリイミド層であってもよい。ポリイミドコーティング層は、ウェーハの厚さを薄くするためにウェーハの裏面を研磨する裏面研磨工程時において半導体チップの活性面を保護し、パッケージ胴体を形成する成形工程時において不活性層を保護する役割をする。また、ポリイミドコーティング層は、パッケージ胴体に含まれている放射能物質から放射される $\alpha$ 粒子によるSER(soft error ratio)を減らす機能を有するため、現在半導体製造工程で幅広く使用されている。ポリイミド層は、主にスピンドルコーティング法によりコーティングされる。

【0020】保護層は、ウェーハの活性面全体に塗布されるが、この際、半導体チップの電極パッドは開放しなければならない。なぜならば、この電極パッドは、半導体チップを外部に電気的に連絡させる通路として作用し、ワイヤボンディング工程の間、ワイヤによりリードフレームに連結されなければならないからである。電極パッドの開放段階(103)は、一般的なエッチング工程を利用して行われる。一方、電極パッドを開放する時には、詳細は後述するが、半導体チップの活性面に接着剤が塗布される領域、すなわちリード接着領域も一緒に開放して、リード接着領域が溝形状を有するようにすることが好ましい。

【0021】保護層が塗布されたウェーハ表面のリード接着領域に接着剤を塗布し(段階104)、半導体チップをウェーハから個別的に分離する(105)。個別素子で分離された半導体チップをリードフレームリードに取り付ける(106)。ウェーハから分離された半導体チップを‘ダイ’と言い、このダイをリードフレームに取り付けることをダイボンディングという。ダイボンディング段階106では、別途の接着テープを使用することなく、段階104の間、半導体チップの表面に塗布さ

れた接着剤を使用する。

【0022】以後の工程は、一般的なパッケージ組立工程と同様に、リードフレームリード及び半導体チップの電極パッドとを電気的に連結するワイヤボンディング工程(107)、保護パッケージ胴体を形成する封止段階(108)、保護パッケージ胴体及びリードをリードフレームストリップから切断し、パッケージ胴体から突出したリード部分を適切な形態で折曲する切断／折曲段階(109)の順に進行する。

10 【0023】図2乃至図4は、本発明による溝形状のリード接着領域を形成する過程を説明するための斜視図及び部分拡大図である。

【0024】リード接着領域は、図1の電極パッド開放段階(103)で形成される。電極パッド開放領域124及びリード接着領域122は、従来の一般的なフォトリソグラフィ(photolithography)技術に一般的に利用されるフォトマスク110を用いて形成することができる。フォトマスクには、例えば、ガラス板にクロム116が一定のパターンで形成されている。このマスクパターンには、リード接着領域パターン112と、電極パッド開放パターン114が含まれる。

【0025】保護層128が塗布されているウェーハ120の表面全体に感光膜を被覆し、その上側にパターン112、114が設けられているマスク110を整列させる。紫外光等の光をマスク110を介してウェーハの表面に照射すると、ウェーハ表面に塗布されていた感光膜は、マスクパターンにより部分的に光を受けて、その化学的性質が変化する。ウェーハを現像して感光膜における光を受けた部分を除去した後、露出され保護層部分をエッチングすると、図4に示したリード接着領域122及び電極パッド開放領域124が形成される。リード接着領域122は、溝形状を有するので、本発明によりこの領域122に接着剤を塗布する場合、接着剤の塗布が容易であり、接着剤のオーバーフローを防止することができる。しかし、保護層128にリード接着領域122を必ず形成しなければならないものではなく、保護層128上に直接接着剤を塗布してリードフレームリードと接着させることも可能である。

【0026】ウェーハ状態で半導体チップの活性面の特定領域、すなわちリード接着領域に接着剤を塗布する方法としては、色々の方法がある。そのうち、スピンドルコーティング法は、ウェーハの表面に液状接着剤を適量落とした後、ウェーハを高速で回転させ、遠心力により液状接着剤がウェーハの全面に行き渡るようにする技術である。これは、接着剤をウェーハ表面に塗布する時間が短いという長所を有するが、接着剤がリード接着領域のみに塗布されるものではなく、ウェーハ表面全体に塗布されるので、塗布された接着剤を硬化させた後、電極パッドを開放しなければならない。ところが、ダイボンディング工程の間、半導体チップとリード間の安定的な接着

を保障し、チップの活性面を保護するためには、約30 $\mu\text{m}$ 以上の厚さを有する接着剤層を塗布しなければならない。従って、電極パッド開放のためのエッキング工程に多くの時間がかかることになる。また、厚い接着剤層が電極パッド全体を被覆するため、接着剤の無駄使いを引き起こし、他の物質、例えば、シリコンチップ又はパッケージ胴体との熱膨張係数の差異に起因する信頼性低下を引き起こすことにもなる。

【0027】図5は、本発明によるスクリーン印刷法を用いてウェーハ状態の半導体チップのリード接着領域に接着剤を塗布する過程を説明するための斜視図である。

【0028】金属箔よりなるスクリーン130は、ウェーハ120のチップ活性面に設けられているリード接着領域122に接着剤140を塗布するための開放部パターン132が形成されている。スクリーン130には、ウェーハ120との正確なアライメントのためのアライメントキー(図示せず)が設けられている。アライメントが終わるとスクリーン130とウェーハ120とを密着させる。したがって、ウェーハ上のリード接着領域122だけがパターン132により外部に露出されている。スクリーン上に液状接着剤140を供給しながら、スキージ134を矢印方向に移動すると、接着剤140がリード接着領域122に塗布される。接着剤塗布後、スクリーン130を除去し、接着剤を硬化させる。最終構造は図6A及び図6Bに示すとおりである。図6Aは、スクリーン印刷法により半導体チップ126に接着剤142が塗布されている構造を示す部分拡大図であり、図6Bは、図6Aの線6-6に沿って切断した断面図である。

【0029】接着剤は、非導電性物質よりなるべきであり、ポリイミド、エポキシ、ポリイミドシロキサン、ポリエーテルアミドのいずれか一つを使用することができる。接着剤は、粘性やチキソトロピーに優れるものが好ましい。エポキシ接着剤の場合、他の接着剤より硬化温度が多少高い。

【0030】スクリーン印刷法には、一度の作業により複数のリード接着領域に接着剤を塗布することができるという長所があるが、この工程に用いられる接着剤は、それだけ長い作業時間を耐えなければならない。接着剤は、空気を過度にトラップしたり、ストリンギング(stringing)を引き起こしたりしないよう、適切に設計されなければならない。スクリーン印刷法により接着剤を塗布すると、形成される接着剤の模様や厚さをスクリーンの設計変更により容易に制御することができるので、従来の接着剤の使用によるLOC型パッケージの不良をなくすことができる。一つのスクリーンにより複数のウェーハに対して連続的に作業を行なうとき、ウェーハと接触するスクリーン裏面に付いた接着剤を除去しなければならない。また、塗布した接着剤層は必然的に非平面状のウェーハ面を形成し、これがウェーハ裏面に対する

るテープ実装段階においてウェーハに損傷を引き起こすことがあるので、以後の組立段階においてウェーハは注意深く取り扱わなければならぬ。

【0031】図7は、ディスペンシング法によりウェーハ状態の半導体チップのリード接着領域に接着剤を塗布する工程を説明するための概略斜視図である。

【0032】ウェーハリング160により固定されているウェーハ120を、x、y軸方向に移動可能なxyテーブル170上に装着する。ディスペンシングヘッド1

10 50は、液状接着剤156を供給するチューブ154と、一定量の接着剤が入っているシリング158と、接着剤をディスペンシングする複数のニードル152とを備えている。

【0033】接着剤は、上述したように、非導電性物質であるポリイミド、エポキシ、ポリイミドシロキサン、ポリエーテルアミドのいずれか一つを使用する。チップ活性面のリード接着領域の位置は、光学システム(図示せず)を用いて認識し、この認識情報に基づいて例えばパルスマーティア又はサーボモータ等の駆動手段を制御することにより、xyテーブル170を移動させて、ウェーハの上側にディスペンシングヘッドをアライメントさせる。正確なアライメントがなされると、ディスペンシングヘッドが下降し、ニードルを介して接着剤をチップ活性面のリード接着領域に塗布する。一つの半導体チップに対する接着剤塗布が終わると、ディスペンシングヘッドが上昇し、xyテーブル170を移動させて次の半導体チップをアライメントさせる。ニードルを介して接着剤をディスペンシングするとき、空気圧により接着剤の量を制御することができる。

30 【0034】一方、接着剤がディスペンシングされるチップ活性面に、図4を参照しながら説明した溝形状のリード接着領域124を形成した後、接着剤を塗布すると、接着剤のオーバーフローを防止することができる。

【0035】かかるディスペンシング法は、ディスペンシングヘッドがウェーハ表面と直接接することなく、接着剤の塗布が可能であるので、スクリーン印刷法に比べてウェーハの厚さやサイズなどに関係なく、ウェーハの安定的な取扱いが可能である。そして、ニードルの直径、ヘッドの動き速度を変化させ、空気圧を制御することにより、接着剤の塗布位置及び塗布される接着剤の幅、長さ、厚さを容易に制御することができるので、LOC型パッケージの構造や信頼性の面において最適構造の選択が可能である。

【0036】ディスペンシングによる接着剤の塗布は、上述したように、ウェーハ状態の1つの半導体チップに対して一度ずつ接着剤のディスペンシングを進行させていくこともできるが、図8に示すように、同一のラインにある複数の半導体チップに対してロングライン(long line)形式で接着剤をディスペンシング(156a)することも可能であり、又は、図9に示すように、一つの

50

ディスペンシングヘッド180にマルチニードル152a、152b、152c、152dを装着して複数の半導体チップに対して接着剤を同時にディスペンシング(156b)することも可能である。また、複数の半導体チップに対してディスペンシングを同時に進行させると、接着剤の厚さを一定にすることができる。さらに、同一のラインにあるチップに対してロングライン形式で接着剤をディペンシングして塗布しても、ウェーハ切断段階において高い回転速度で回転するダイヤモンドホールによるスクライピングが行われるので、隣接する半導体チップは、何らの問題なく、容易に分離される。

【0037】今まででは、ウェーハ状態の半導体チップのリード接着領域に接着剤をディスペンシングする時、別途のディスペンシングマシンを使用することについて説明した。このディスペンシングマシンは、ウェーハが装着されたテーブルをx y軸方向に移動させるための駆動手段と、半導体チップのリード接着領域の位置を認識するための光学システムなどを備えなければならない。一方、従来のダイボンディング装置は、ウェーハを移動させることができるx yテーブルと、ウェーハ上の特定半導体チップの位置を認識する光学システムとを備えている。したがって、従来のダイボンディング装置にディスペンシングヘッドを組み込むと、費用節減や工程時間の短縮を図ることができる。

【0038】図10は、ディスペンシングヘッド150を備えるダイボンディング装置の概略図である。

【0039】ウェーハリング160に固定されている半導体ウェーハ120は、ウェーハ製造段階(図1の100)、保護層形成段階(102)、電極パッド開放段階(103)を経てさらにウェーハ裏面研磨段階、保護テープ実装段階、ウェーハ切断(つまり、スクライピング)段階を経る。ウェーハ120は1つ1つの半導体チップにスクライプされるが、チップは裏面に取り付けられた保護テープ220により支持される。ウェーハ120を拡張テーブル190に載置し、拡張リング192を用いてテーブ220を外側に引っ張ると、スクライピングされた半導体チップは、ある程度距離を置いて離れる。拡張テーブル190は、x yテーブル200に結合されているので、x、y軸方向に移動が可能である。光学システム240は、例えば、CCD(charge coupled device)カメラ242とモニター244とを備える。カメラ242は、x yテーブル200に装着されているウェーハ120上の特定半導体チップの位置を認識し、この位置情報をモニター244に出力する。光学システム240の位置情報は、x yテーブル200を駆動させる駆動モータ(図示せず)を制御するに使用されると同時に、ピックアップツール230及びディスペンシングヘッド150をウェーハ上にアライメントさせるのに用いられる。

【0040】ディスペンシングヘッド150をウェーハ

上にアライメントさせた後、ヘッド150のチューブ154を介してシリジン158に入っていた非導電性液状接着剤は、空気チューブ155から供給される空気圧によってニードル152からチップ活性面のリード接着領域に塗布される。この際、ディスペンシングは、1つの半導体チップごとに順次的に進行させてもよいし、又は複数の半導体チップに対して同時に進行させてもよい。一方、EDS(Electrical Die Sorting)検査の間、ウェーハ120上の不良チップの表面に、インキドッティングを施すことが一般的である。したがって、個別チップを認識した後、接着剤を塗布するディスペンシング法を使用すると、スピニコーティングやスクリーン印刷法とは異なり、不良チップに対しては接着剤を塗布しないので、接着剤のむだづかいを防止することができる。

【0041】接着剤の塗布及び硬化後、突出ピン(図示せず)を有するイジェクタ210が位置P1へ移動し、選択された個別チップを押し上げることにより、個別チップをテーブ220、つまりウェーハ120から完全に分離することができる。分離されたチップは、ピックアップツール230によりダイボンディング装置へ移動する。

【0042】図11は、個別半導体チップ290とリードフレームとをボンディングする過程を説明するためのダイボンディング装置の部分概略図である。

【0043】ストリップ形状のリードフレーム280は、移送レール270に沿って矢印A1方向に移動する。リードフレーム280は、内部リード282、外部リード284及びバスバー286を備えており、内部リード及びバスバー部分は、半導体チップ290の活性面上に本発明により塗布されている接着剤156により半導体チップ290にボンディングされることになる。

【0044】ピックアップツール230が、矢印A2方向に沿って個別半導体チップ290を運搬して、ヒータブロック260のダイボンディング位置に載置する。ヒータブロック260は、矢印A4で示すように、上下移動が可能である。リードフレーム280が矢印A1に沿って移動してダイボンディング位置に到着すると、ダイボンディングヘッド250及びヒータブロック260によりリードフレームのリードと半導体チップを熱圧着することにより、リードフレームリードが半導体チップの活性面にボンディングされる。従来の一般的なパッケージでは、位置P2でリードフレームパッドに接着剤が塗布されるが、上述したように、本発明によるLOC型パッケージでは、チップ活性面のリード接着領域に既に接着剤156が塗布されている。

【0045】

【発明の効果】以上説明したように、本発明によるLOC型パッケージ素子は、リードフレームリード及び半導体チップを接着するための接着剤は、ウェーハ状態で半導体チップ活性面のリード接着領域に塗布されるので、

3層構造よりなるポリイミド接着テープを使用しなくてもよい。従って、製造費用を低減することができ、接着剤のサイズや厚さ等を容易に調節することができるのと、パッケージ素子の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明によるLOC型半導体チップパッケージの製造工程の流れ図である。

【図2】保護層から電極パッドを開放すると同時に本発明による溝形状のリード接着領域を形成するために用いられるフォトマスクを示す斜視図である。

【図3】電極パッドパターン及びリード接着領域パターンを有するフォトマスクの部分拡大図である。

【図4】電極パッド開放領域及び本発明による溝形状のリード接着領域が形成されたチップ活性面を示す部分拡大図である。

【図5】本発明によるスクリーン印刷法を用いてウェーハ状態の半導体チップのリード接着領域に接着剤を塗布する過程を説明するための斜視図である。

【図6】図6Aは本発明によるスクリーン印刷法により接着剤が塗布されたウェーハ状態の半導体チップの構造を示す部分拡大斜視図であり、図6Bはその部分断面図である。

【図7】ディスペンシング法によりウェーハ状態の半導体チップのリード接着領域に接着剤を塗布する工程を説明する概略斜視図である。

【図8】ディスペンシング法によって接着剤を塗布する工程において特に、同一のラインにある複数の半導体チップのリード接着領域にロングライン形式で接着剤をディスペンシングする工程を示す概略斜視図である。

【図9】ディスペンシング法によって接着剤を塗布する工程において特に、複数のニードルを有するディスペンシングヘッドを用いて複数のチップに対して同時にディスペンシングを行う工程を示す概略斜視図である。

【図10】ディスペンシングヘッドを備えるダイボンディング装置の概略図である。

【図11】個別の半導体チップとリードフレームとをボンディングする工程を説明するダイボンディング装置の部分概略図である。

【図12】従来のLOC型半導体チップパッケージの構造を示す斜視図である。

【図13】従来のLOC型半導体チップパッケージの構造を示す正面断面図である。

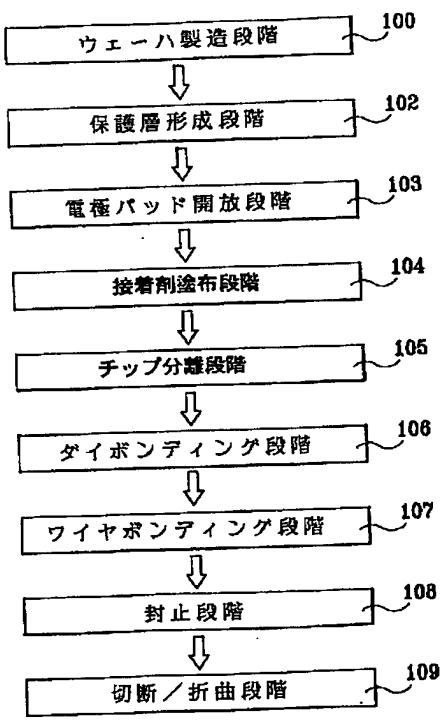
【図14】ポリイミドテープを用いて半導体チップの活性面にリードフレームを取り付ける従来の工程を示す部 \*

\* 分断面図である。

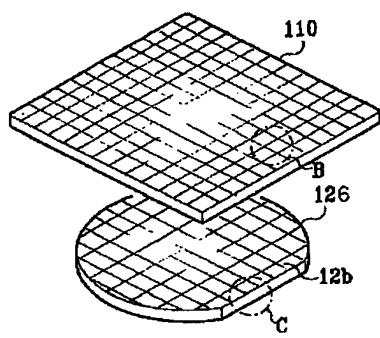
【符号の説明】

1 1 0	フォトマスク
1 1 2	リード接着領域パターン
1 1 4	電極パッド開放パターン
1 1 6	クロム
1 2 0	ウェーハ
1 2 2	リード接着領域
1 2 4	電極パッド開放領域
10 1 2 6	半導体チップ
1 2 8	保護層
1 3 0	スクリーン
1 3 2	開放部パターン
1 3 4	スキージ
1 4 0	接着剤
1 4 2	接着剤
1 5 0	ディスペンシングヘッド
1 5 2	ニードル
1 5 2 a、1 5 2 b、1 5 2 c、1 5 2 d	マルチニードル
20 1 5 4	チューブ
1 5 5	空気チューブ
1 5 6	接着剤
1 5 8	シリング
1 6 0	ウェーハリング
1 7 0	x yテーブル
1 8 0	ディスペンシングヘッド
1 9 0	拡張テーブル
1 9 2	拡張リング
30 2 0 0	x yテーブル
2 1 0	イジェクタ
2 2 0	テーブ
2 3 0	ピックアップツール
2 4 0	光学システム
2 4 2	CCDカメラ
2 4 4	モニター
2 5 0	ダイボンディングヘッド
2 6 0	ヒータブロック
2 7 0	移送レール
40 2 8 0	リードフレーム
2 8 2	内部リード
2 8 4	外部リード
2 8 6	バスバー
2 9 0	半導体チップ

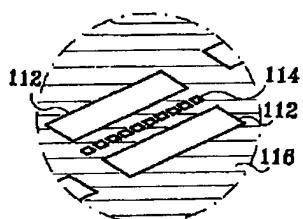
【図1】



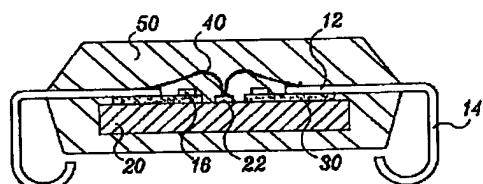
【図2】



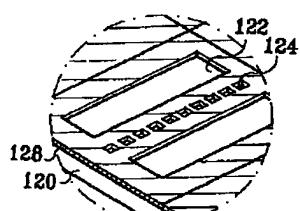
【図3】



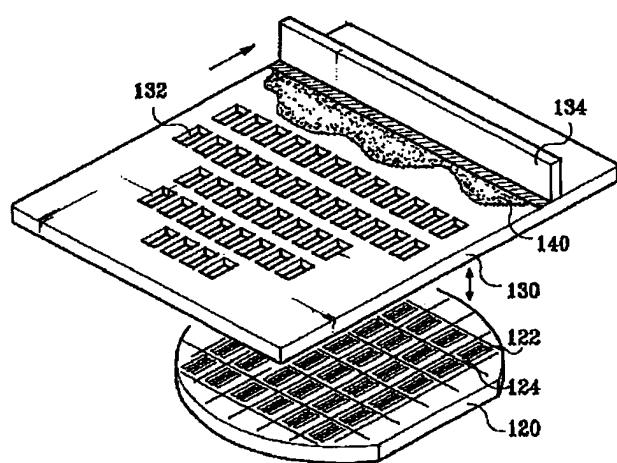
【図13】



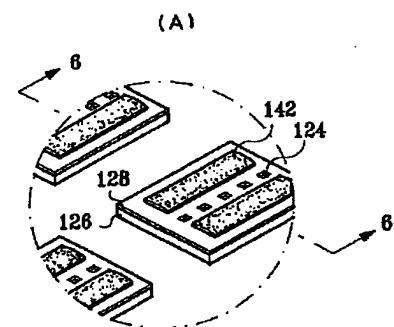
【図4】



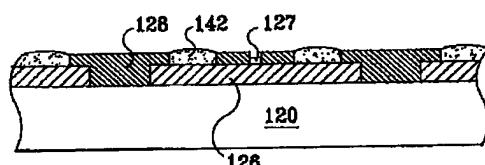
【図5】



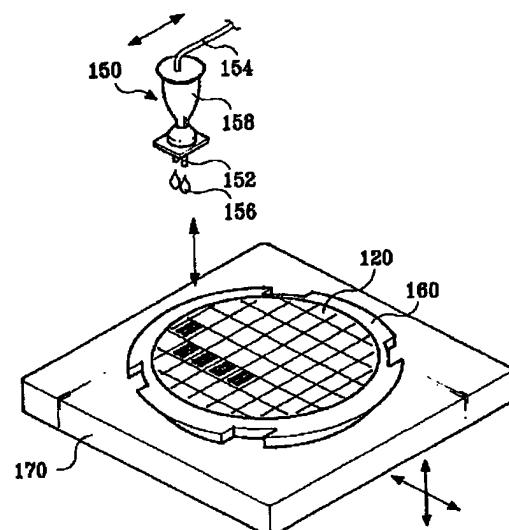
【図6】



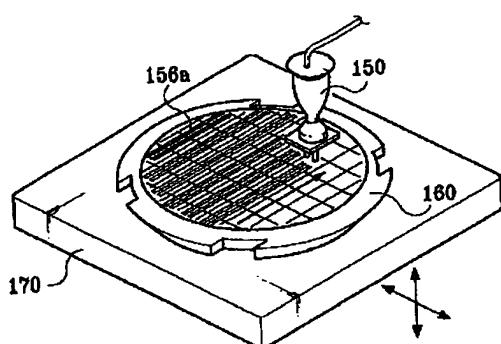
【図6】(B)



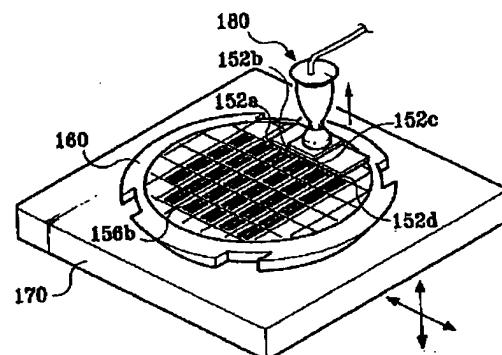
【図7】



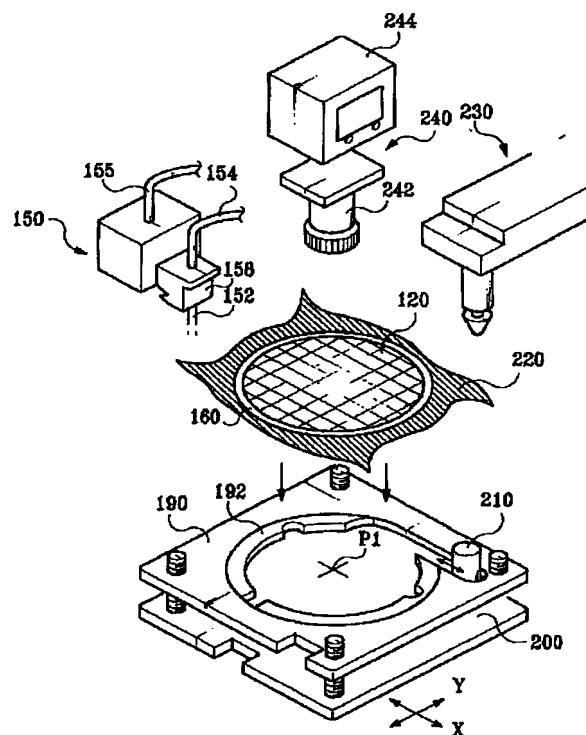
【図8】



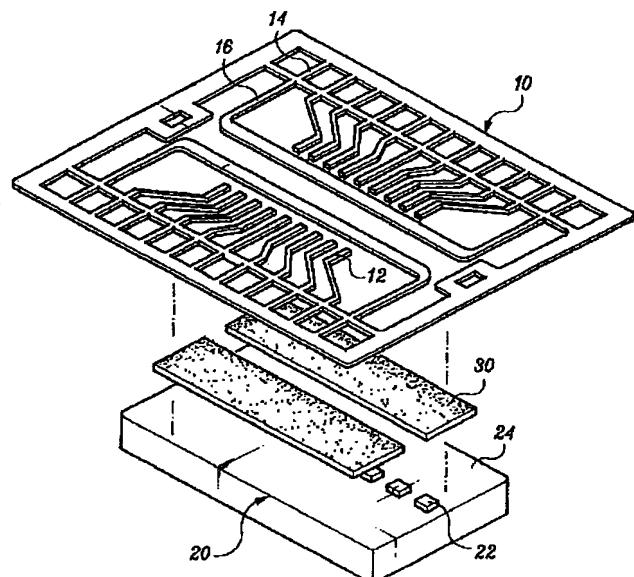
【図9】



【図10】

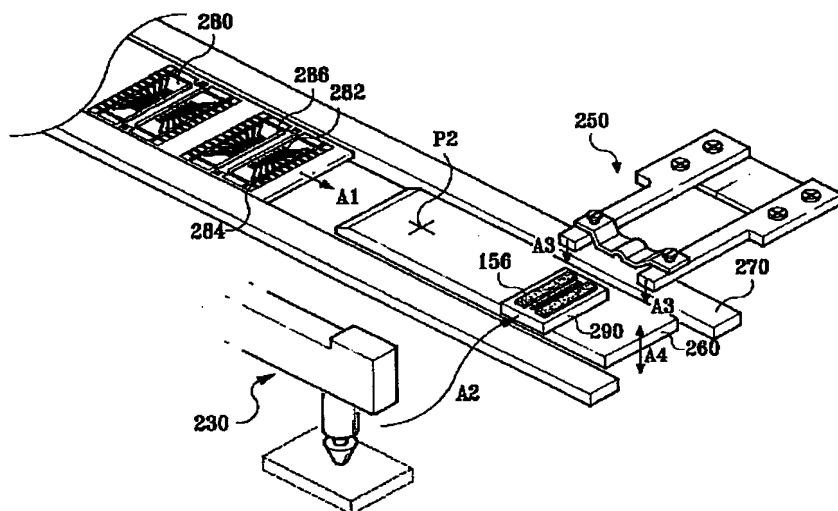


【図12】

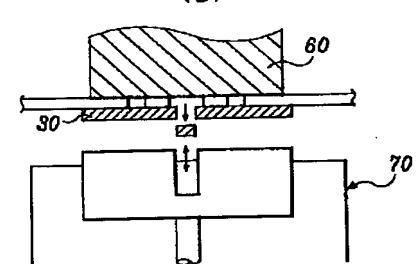
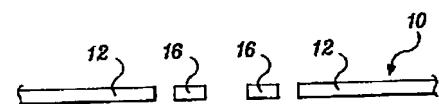


【図14】

【図11】



(A)



(C)

